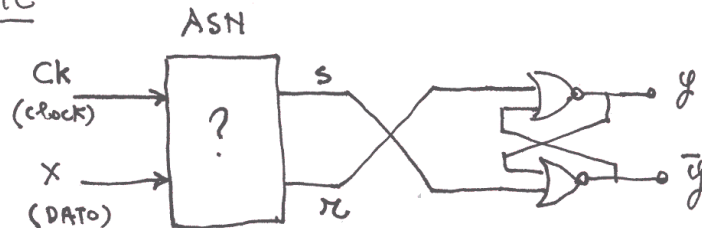


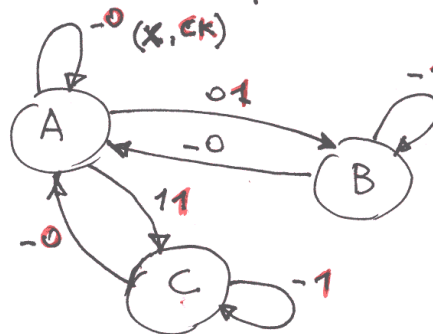
Si vuole progettare una rete sequenziale asincrona che pilota il batch SR in modo da farlo funzionare come flip flop edge-triggered. Realizzare la rete con sole porte NOR e NOT.

SOLUZIONE



Si assume che i tre valori dell'uscita SR: 00, 01, 10 (11 non è ammesso) della ASN corrispondono con lo stato interno - I tre stati vengono indicati in modo simbolico con $A = 00$, $B = 01$, $C = 10$.

Si può tracciare il seguente diagramma di stato



- A: la transizione del Ck non è avvenuta
- B: Ck ha effettuato la transizione 0 → 1 con $X = 0$
- C: Ck ha effettuato la transizione 0 → 1 con $X = 1$

e quindi la tabella di transizione dello stato (uscita)

stato presente \ X Ck				
	00	01	11	10
A	(A)	B	C	(A)
B	A	(B)	(B)	A
C	A	(C)	(C)	A

Ovviamente dovendo codificare gli stati con almeno due bit ($k = \log_2 3 = 2$) vi è la combinazione non utilizzata (11) che produce delle "don't care conditions" nelle tabelle di sintesi.

Assegnando agli stati i valori precedentemente stabiliti si ottengono per "S" ed "R" le seguenti mappe

$x C_k$

Δr	00	01	11	10
00	00	01	10	00
01	00	01	01	00
11	--	--	--	--
10	00	10	10	00

→ valore indifferente

$x C_k$

Δr	00	01	11	10
00	0	0	1	0
01	0	0	0	0
11	1	1	1	1
10	0	1	1	0

$C_k \cdot \Delta$

$x C_k$

Δr	00	01	11	10
00	0	1	0	0
01	0	1	1	0
11	1	1	1	1
10	0	0	0	0

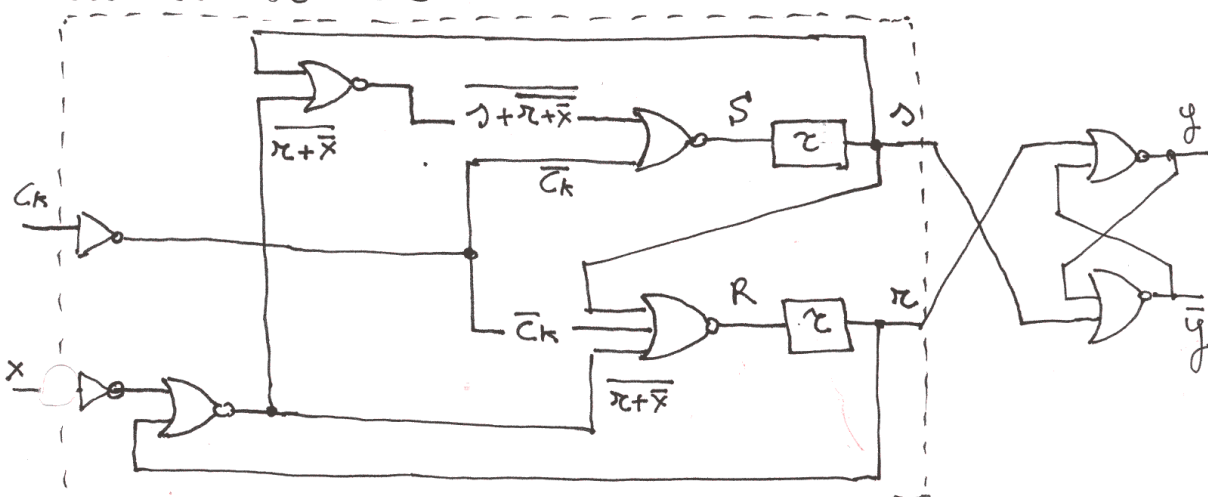
$C_k \bar{\Delta} r$

(NB: NON MASSIMALE)

$$\begin{aligned}
 S &= C_k \cdot \Delta + x C_k \bar{\Delta} \\
 &= C_k (\Delta + x \bar{\Delta}) \\
 &= C_k (\Delta + \bar{\Delta} + x \bar{\Delta}) \\
 &= C_k + \Delta + \bar{\Delta} + x \bar{\Delta}
 \end{aligned}$$

$$\begin{aligned}
 R &= C_k \bar{\Delta} r + \bar{x} C_k \bar{\Delta} \\
 &= C_k \bar{\Delta} (r + \bar{x}) \\
 &= C_k + \Delta + \bar{\Delta} + \bar{x}
 \end{aligned}$$

da cui la rete



NB: Confrontare la rete con quella di Fig. 5-14 pag. 184 del testo.